

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開平9-289226

(43) 公開日 平成9年(1997)11月4日

(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/60	3 1 1		H 0 1 L 21/60	3 1 1 R

審査請求 未請求 請求項の数 8 O L (全 8 頁)

(21) 出願番号 特願平8-101011

(22) 出願日 平成8年(1996)4月23日

(71) 出願人 000005120

日立電線株式会社

東京都千代田区丸の内二丁目1番2号

(72) 発明者 御田 護

茨城県日立市助川町3丁目1番1号 日立  
電線株式会社電線工場内

(72) 発明者 村上 元

茨城県日立市助川町3丁目1番1号 日立  
電線株式会社電線工場内

(72) 発明者 熊倉 豊彦

茨城県日立市助川町3丁目1番1号 日立  
電線株式会社電線工場内

(74) 代理人 弁理士 平田 忠雄

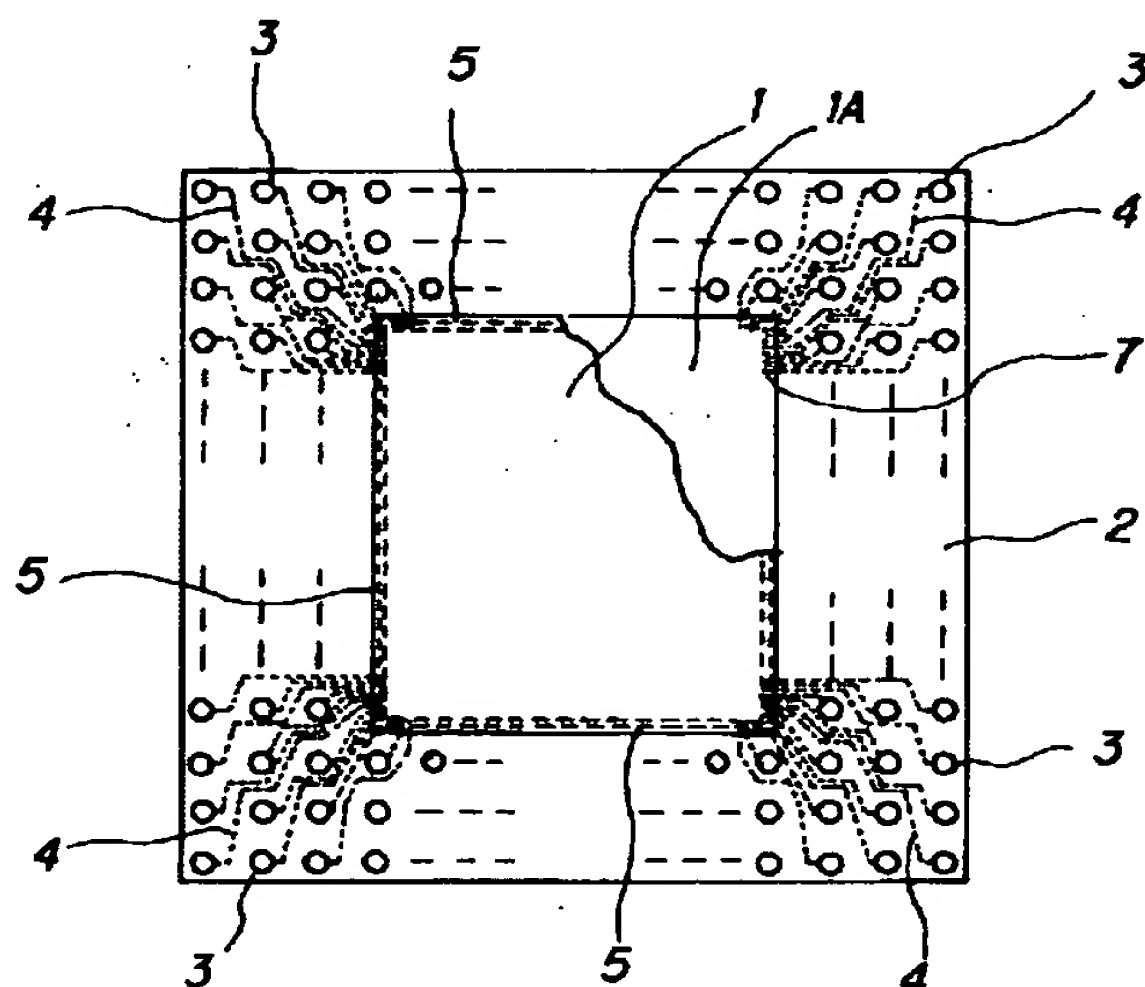
最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 T C P (Tape Carrier Package) 構造の半導体装置の多ピン化に伴ってパッケージが大型化すると、プリント基板配線とアウターリードのリフロー実装時に T A B テープが熱変形して反りを生じ、T C P の平坦度が失われる。

【解決手段】 T A B テープに所定の間隔を有してリード接続用穴を形成し、このリード接続用穴に位置するようにアウターリードを形成した。



## 1

## 【特許請求の範囲】

【請求項 1】 絶縁フィルム上に設けられたリードパターンのリードに半導体チップを接続したテープキャリアパッケージ型の半導体装置において、

前記絶縁フィルムに形成されたリード接続用穴と、  
前記リードに接続されるとともに少なくとも前記リード接続用穴上に位置する基板実装用のリード片を有することを特徴とする半導体装置。

【請求項 2】 前記リード片は、前記絶縁フィルムの前記リードパターンが形成された形成面に形成されて前記リード接続用穴を塞いでいる構成の請求項第 1 項記載の半導体装置。

【請求項 3】 前記リード片は、前記絶縁フィルムのリードパターンが形成された形成面から前記リード接続用穴を通して反対側に突出している突出端を有する構成の請求項第 1 項記載の半導体装置。

【請求項 4】 前記リード接続用穴、および前記リード片は、前記絶縁フィルム上に格子状、あるいは千鳥状に配置されている構成の請求項第 1 項記載の半導体装置。

【請求項 5】 前記リード接続用穴は、円形、長方形、あるいは長円形で形成されている構成の請求項第 1 項記載の半導体装置。

【請求項 6】 前記リード接続用穴は、前記絶縁フィルムを抜き金型による打ち抜き、レーザ加工、あるいはケミカルエッチング等によって形成される構成の請求項第 1 項記載の半導体装置。

【請求項 7】 前記形成面は、前記絶縁フィルムの基板実装側にあり、  
前記リード片は、前記基板実装側に膨出している構成の請求項第 2 項記載の半導体装置。

【請求項 8】 前記形成面は、前記絶縁フィルムの基板実装側の反対側にある構成の請求項第 3 項記載の半導体装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は半導体装置に関し、特に、TAB (Tape Automated Bonding) テープに半導体チップを搭載して電氣的に接続したTCP (Tape Carrier Package) 構造の半導体装置に関する。

## 【0002】

【従来技術】 図 15 には、従来の TCP 構造の半導体装置が示されている。この半導体装置は、LSI チップ 10 を中央に搭載する角形のポリイミドフィルム 11 と、ポリイミドフィルム 11 の表面に形成される配線パターン 12 を有し、配線パターン 12 の外側端にはプリント基板配線（図示せず）等と接続されるアウターリード 13 が設けられている。このポリイミドフィルム 11、配線パターン 12、およびアウターリード 13 は一体的に形成されて TAB テープを構成している。

【0003】 図 16 は、従来の TCP 構造の半導体装置

## 2

の断面図を示し、ポリイミドフィルム 11 は、中央部に LSI チップ 10 を搭載するためのデバイスホール 20 を有しており、LSI チップ 10 は、LSI チップバンブ 10A を介して配線パターン 12 とボンディングされ、接続部分および LSI チップバンブ配置面を封止剤 14 によって封止している。

【0004】 このような半導体装置は、アウターリード 13 を介して半田ペーストが設けられたプリント基板配線にリフロー実装される。

【0005】 図 17 および図 18 は、リフロー実装される半導体装置を示し、まず、半導体装置のアウターリード 13 をプリント基板 15 に形成されたプリント基板配線 16 に対して位置決めする。このプリント基板配線 16 のリフロー実装部分には半田ペースト 17 が設けられている。

【0006】 次に、半導体装置をプリント基板配線 16 上に搭載し、全体を 230℃～250℃で約 10 秒間加熱する。このことによって、図 18 に示すように、半田ペースト 17 が熔融し、アウターリード 13 とプリント基板配線 16 が半田接合される。

【0007】 近年、半導体装置に要求される情報処理量、および高速性に伴ってパッケージの大型化、多ピン化が進んでいる。TCP ではパッケージの大型化、多ピン化によってポリイミドフィルムの占める割合が大きくなり、半田リフロー時の熱変形が問題となっている。

【0008】 図 19 は、半導体装置の他のリフロー実装方法を示し、プリント基板 15 上に設けられるプリント基板配線 16 の表面に半田めっき 18 を設け、プリント基板配線 16 に対して半導体装置のアウターリード 13 を位置決めした後、ボンディングツール 19 を矢印方向に降下させてアウターリード 13 を局部的に押圧、加熱することにより、プリント基板配線 16 に半田接合している。

## 【0009】

【発明が解決しようとする課題】 しかし、従来の半導体装置によると、TCP の各辺に沿ってアウターリードが配置されるため、LSI チップの電極端子数が増加すると、それに伴ってアウターリードの本数が増加して TAB テープを構成するポリイミドフィルムが大型化する。このため、プリント基板配線とアウターリードの一括リフロー実装時にポリイミドフィルムが熱変形して反りを生じ、その結果、TCP の平坦度が失われるという問題がある。このアウターリードの多ピン化に対応したパッケージとしてセラミック PGA (Pin Grid Array) が知られているが、TCP 等より 3～4 倍高価になる。また、ポリイミドフィルムは高価であるため、TAB テープが大型化すると半導体装置の製造コストを増加させるという問題がある。従って、本発明の目的は、半田接合時に TCP の平坦度が損なわれることなく、多ピン化に対応でき、小型で安価な半導体装置を提供することにあ

る。

#### 【0010】

【課題を解決するための手段】本発明は上記した目的を達成するため、絶縁フィルム上に設けられたリードパターンのリードに半導体チップを接続したテープキャリアパッケージ型の半導体装置において、前記絶縁フィルムに形成されたリード接続用穴と、前記リードに接続されるとともに少なくとも前記リード接続用穴上に位置する基板実装用のリード片を有する半導体装置を提供する。

【0011】上記の半導体装置において、リード片は、絶縁フィルムのリードパターンが形成された形成面に形成されてリード接続用穴を塞いでいる構成であっても良く、あるいは、絶縁フィルムのリードパターンが形成された形成面からリード接続用穴を通して反対側に突出している突出端を有する構成であっても良い。リード接続用穴、およびリード片は、絶縁フィルム上に格子状、あるいは千鳥状に配置されている構成であっても良く、リード接続用穴は、円形、長方形、あるいは長円形で形成されていても良い。このリード接続用穴は、絶縁フィルムを抜き金型による打ち抜き、レーザ加工、あるいはケミカルエッチング等によって形成することができる。また、リードパターンが形成された形成面は、絶縁フィルムの基板実装側にあり、リード片は、基板実装側に膨出している構成であっても良く、あるいは、形成面は、絶縁フィルムの基板実装側の反対側にある構成であっても良い。

#### 【0012】

【発明の実施の形態】以下、本発明の半導体装置を図面を参照しつつ説明する。

【0013】図1は、本発明の第1の実施の形態における半導体装置を示し、LSIチップ1を搭載するためのデバイスホール1Aが設けられるポリイミドフィルム2と、デバイスホール1Aからポリイミドフィルム2の裏面の外側端にかけての領域に複数列で所定の間隔で配置される円形のアウターリード3と、ポリイミドフィルム2の裏面にアウターリード3とLSIチップ bumps 5とを電気的に接続する配線パターン4を有している。

【0014】図2および図3は、アウターリード3を示し、3.5mm幅の接着剤付きのポリイミドフィルム2を抜き金型で打ち抜いてOLBホール6を形成した後、ポリイミドフィルム2の裏面に圧延銅箔を貼り合わせる。そして、この圧延銅箔の貼り合わされたポリイミドフィルム2をエッチング処理して所定の配線パターン4を形成し、更に、半田接合性を高めるために配線パターン4の表面に金めっきを施した後、OLBホール6に加熱機構付曲げ金型を挿入して圧延銅箔を外側方向に押圧して膨出させることによってアウターリード3を形成する。加熱機構付曲げ金型を用いると、最大で50%の伸びを許容する圧延銅箔を柔らかくできるために、亀裂を入れずにアウターリード3の曲げ加工を行うことができる。

【0015】図4は、第1の実施の形態におけるTABテープの断面図を示し、ポリイミドフィルム2は、図4(a)に示すように、一方の面に配線パターン4が形成され、LSIチップより僅かに大きいデバイスホール1Aと複数のOLBホール6を有している。デバイスホール1Aには、配線パターン4に接続されるインナーリード7が設けられており、OLBホール6は、配線パターン4を有する開口部にアウターリード3が設けられている。

10 【0016】TABテープにLSIチップ1を搭載するには、図4(b)に示すように、インナーリード7とLSIチップ bumps 5とを位置決めしてボンディングした後、エポキシ系の封止剤8によってLSIチップ1の電極端子形成面、および端子接続部分を封止して一体化する。

20 【0017】上記の構成によると、デバイスホール1Aからポリイミドフィルム2の外側端にかけての領域に所定の間隔で複数列のOLBホール6を形成し、このOLBホール6に位置するようにアウターリード3を配置することによって、TCPにおけるポリイミドフィルム2の面積を縮小することができる。このことによって、TCPを小型化できるとともに高価なポリイミドフィルム2の使用量を少なくすることができるので、半導体装置の製造コストを低減することができる。

【0018】また、アウターリード3を曲げ加工して基板実装側に膨出させることにより、半田リフロー実装時の接合面積を拡大することができる。

30 【0019】また、デバイスホール1Aからポリイミドフィルム2の外側端にかけての長さが短くなるので、半田リフロー実装時にポリイミドフィルム2がLSIチップ1に支えられて熱変形しにくくなり、平坦度を維持することができる。

【0020】第1の実施の形態では、ポリイミドフィルム2を打ち金型によって打ち抜いてOLBホール6を形成しているが、その他の方法として、レーザ加工あるいはケミカルエッチング等によって形成することもできる。OLBホール6の配列は格子状とする以外に、例えば、千鳥状としても良い。

40 【0021】TABテープを構成するポリイミドフィルム2についても、他の有機絶縁フィルムであっても良い。また、アウターリード3を形成する圧延銅箔についても、ポリイミドフィルム2と圧延銅箔とを接着剤によって接着する3層構造の他に、接着剤を用いない銅箔とポリイミドフィルム等の有機絶縁フィルムを接着する2層構造としても良く、2層構造の場合はパッケージの厚みを低減することができる。

50 【0022】図5は、本発明の第2の実施の形態における半導体装置を示し、ポリイミドフィルム2に形成されるOLBホール6には配線パターン4と接続されるアウターリード9が挿入されている。その他の構成および機

## 5

能は第1の実施の形態と同様である。

【0023】図6および図7は、アウターリード9を示し、35mm幅のポリイミドフィルム2（厚さ20 $\mu$ mの接着剤付き）にOLBホール6を形成した後、ポリイミドフィルム2の表面に銅箔を貼り合わせる。そして、銅箔の貼り合わされたポリイミドフィルム2をエッチング処理して所定の配線パターン4を形成し、更に、半田接合性を高めるために配線パターン4の表面に金めつきを施した後、OLBホール6を塞いでいる銅箔に曲げ加工を施してアウターリード9を形成し、このアウターリード9をOLBホール6を介してポリイミドフィルム2の反対側に引き出す。

【0024】図8は、第2の実施の形態におけるTABテープの断面図を示し、ポリイミドフィルム2は、図8(a)に示すように、表面に配線パターン4を有し、配線パターン4と接続されたアウターリード9がOLBホール6を介してポリイミドフィルム2の反対面に引き出されている。

【0025】また、ポリイミドフィルム2は、LSIチップより僅かに大きいデバイスホール1Aと複数のOLBホール6を有しており、デバイスホール1A内には、配線パターン4と接続されるインナーリード7が突出している。

【0026】TABテープにLSIチップ1を搭載するには、図8(b)に示すように、インナーリード7とLSIチップパンプ5とを位置決めしてボンディングした後、エポキシ系の封止剤8によってLSIチップ1の電極端子形成面、および端子接続部分を封止して一体化する。

【0027】以下に、本発明の半導体装置の実施例を説明する。

## 【0028】

【実施例1】図9は、第1の実施例における半導体装置を示し、LSIチップ1は、13.5mm角で500ピンチップであり、LSIチップ1のパッド5Aは、1辺当たり125個でパッド間隔は0.1mmである。ポリイミドフィルム2は、厚さ50 $\mu$ mでサイズはL<sub>1</sub>およびL<sub>2</sub>が18.5mmである。OLBホール6の直径は0.2mmで、間隔L<sub>3</sub>およびL<sub>4</sub>は0.5mmである。このOLBホール6は、ポリイミドフィルム2の外側端からデバイスホール1Aにかけて4列で544個が配置されている。

## 【0029】

【実施例2】図10には、第2の実施例における半導体装置が示されている。この半導体装置は、LSIチップ1のパッド5Aの内側に直径0.2mmのOLBホール6を192個設けたポリイミドフィルム2を有している。LSIチップ1のサイズはL<sub>1</sub>およびL<sub>2</sub>が10mmで、LSIチップ1のパッド5Aは180個である。ポリイミドフィルム2の厚さは50 $\mu$ mで、OLBホー

## 6

ル6はパッド5Aに沿って4列で配置されている。

【0030】上記の構成によると、LSIチップ1のパッド5Aより内側に配置されるポリイミドフィルム2に複数のアウターリード9を配置しているため、200ピン以下の半導体装置についてはLSIチップ1の大きさに等しいサイズとすることができる。このため、シンクロナスDRAM等のメモリーパッケージに適用する場合であっても、200ピン以下であればパッケージの小型化が可能になる。

## 10 【0031】

【実施例3】実施例1と同様に、35mm幅のポリイミドフィルム（厚さ20 $\mu$ mの接着剤付き）に直径0.2mmで544個のOLBホールを開口した後、ポリイミドフィルムの表面に厚さ35 $\mu$ mの銅箔を貼り合わせる。

【0032】そして、銅箔の貼り合わされたポリイミドフィルムをエッチング処理して所定の配線パターンを形成し、更に、半田接合性を高めるために配線パターンの表面に金めつきを施した後、OLBホールを塞いでいる銅箔に曲げ金型によって曲げ加工を施してアウターリードを形成し、このアウターリードをOLBホールを介してポリイミドフィルムの裏面側に引き出す。このアウターリードの長さは0.15mmで、曲げ加工による曲げ高さは0.1mmとした。

## 【0033】

【実施例4】図11は、第4の実施例における半導体装置を示し、実施例2と同様にLSIチップ1の電極端子形成面に設けられるLSIチップパンプ5の内側に複数のOLBホール6を設けたポリイミドフィルム2を有している。

【0034】ポリイミドフィルム2は、LSIチップ1のパッド5Aの内側に直径0.2mmのOLBホール6を192個有し、LSIチップ1側の表面に厚さ20 $\mu$ mの接着剤で固定された銅箔をエッチングして形成した配線パターン4を有する。この配線パターン4は、全面に金めつきが施されており、OLBホール6に位置する部分を曲げ金型によって曲げ加工することによりアウターリード9を形成している。このアウターリード9は、OLBホール6を介してポリイミドフィルム2の裏面側に引き出されている。ポリイミドフィルム2の外側端から突出している配線パターン4は、エポキシ系の封止剤8によって覆われている。図11において、アウターリード9の長さは0.15mmで、曲げ加工による曲げ高さは0.1mmとした。

## 【0035】

【実施例5】図12は、第5の実施例における半導体装置を示し、OLBホール6に位置して設けられるアウターリード9がOLBホール6と反対の方向に曲げ加工されており、配線パターン4に対して所定の高さを有するように形成されている。



## 【0036】

【実施例6】図13は、アウターリードの他の実施例を示し、OLBホール10を長方形で形成し、配線パターン4に接続されるアウターリード11をOLBホール10と同様に長方形に形成しても良い。このようにOLBホール10を長方形とすることでアウターリード11の曲げ加工高さを増加させることができる。本実施例では、OLBホール10の幅を0.3mm、高さ0.2mmとし、アウターリード11の曲げ加工高さを0.25mmとした。

## 【0037】

【実施例7】図14は、アウターリードの更に他の実施例を示し、実施例6で形成したOLBホール10に半径0.1mmの面取りを施して長円形としたOLBホール12を有している。このような形状でもアウターリード13の曲げ加工高さを0.25mmに増加させることができる。

【0038】上記した半導体装置では、配線パターンと接続されるアウターリードをOLBホールに位置させて形成し、複数列で所定の間隔で配置することによって、アウターリードをLSIチップの外側、あるいはLSIチップのパッドで囲まれる領域の内側に配置することができるので、半導体装置を小型化することができる。

【0039】このため、従来において、304ピンの半導体装置を形成するとき、実装可能なアウターリードのピッチが0.5mmであるとして、1辺当たりのアウターリード数は76ピンとなり、このピン数を許容する1辺の寸法は40mmになるが、40mmを超えるサイズでは半田によるリフロー実装時にポリイミドフィルムが熱変形してしまうのでTCPの平坦度が損なわれる。

【0040】本発明では、OLBホールに位置するように形成されたアウターリードがTCPのポリイミドフィルムに複数列で所定の間隔で配置されるので、実施例1に示すように、LSIチップの外側のポリイミドフィルムにアウターリードを544個設けても半導体装置の1辺のサイズを18.5mmとコンパクトに形成できる。

## 【0041】

【発明の効果】以上説明した通り、本発明の半導体装置によると、TCPを構成するTABテープに所定の間隔を有してリード接続用穴を形成し、このリード接続用穴に位置するようにアウターリードを設けたため、半田接合時にTCPの平坦度が損なわれることなく、多ピン化に対応でき、小型化および製造コストを安価とすることができる。

## 【図面の簡単な説明】

【図1】第1の実施の形態における半導体装置を示す平面図である。

【図2】第1の実施の形態におけるアウターリードを示す説明図である。

【図3】第1の実施の形態におけるアウターリードを示

す断面図である。

【図4】第1の実施の形態における半導体装置を示す断面図である。

【図5】第2の実施の形態における半導体装置を示す平面図である。

【図6】第2の実施の形態におけるアウターリードを示す説明図である。

【図7】第2の実施の形態におけるアウターリードを示す断面図である。

10 【図8】第2の実施の形態における半導体装置を示す断面図である。

【図9】実施例1における半導体装置を示す平面図である。

【図10】実施例2における半導体装置を示す平面図である。

【図11】実施例4における半導体装置を示す断面図である。

【図12】実施例5における半導体装置を示す断面図である。

20 【図13】実施例6におけるアウターリードを示す説明図である。

【図14】実施例7におけるアウターリードを示す説明図である。

【図15】従来の半導体装置を示す平面図である。

【図16】従来の半導体装置を示す断面図である。

【図17】従来の半導体装置のアウターリードを示す説明図である。

【図18】従来の半導体装置のアウターリードを示す説明図である。

30 【図19】従来の半導体装置のアウターリードを示す説明図である。

## 【符号の説明】

1, LSIチップ

1A, デバイスホール

2, ポリイミドフィルム

3, アウターリード

4, 配線パターン

5, LSIチップパンプ

5A, パッド

40 6, OLBホール

7, インナーリード

8, 封止剤

9, アウターリード

10, LSIチップ

10A, LSIチップパンプ

11, ポリイミドフィルム

12, 配線パターン

13, アウターリード

14, 封止剤

50 15, プリント基板

16, プリント配線基板

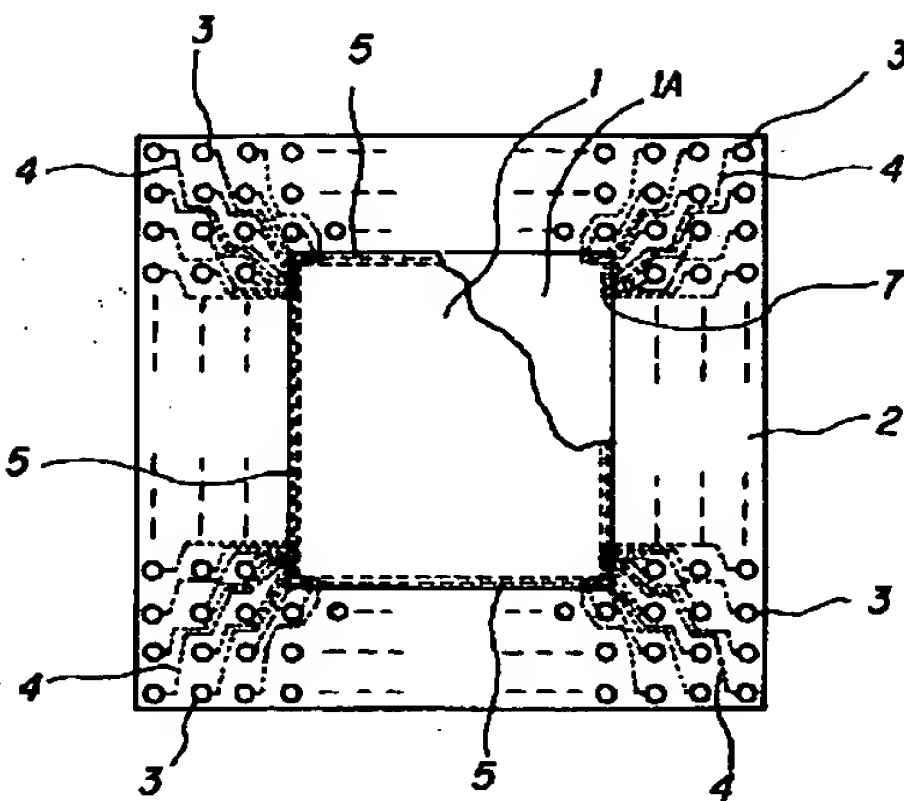
17, 半田ペースト

18, 半田めっき

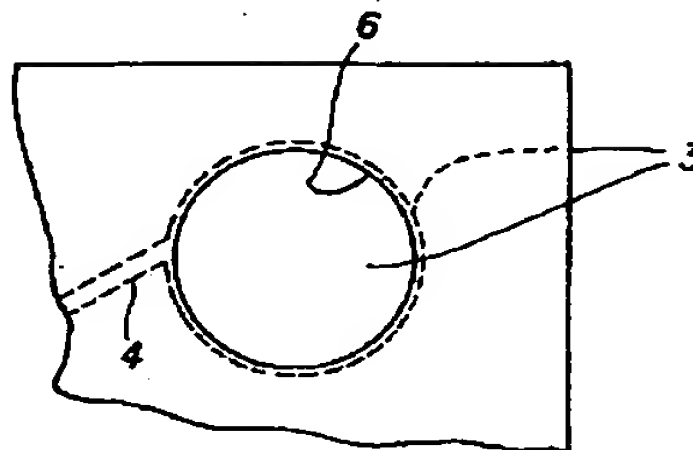
19, ボンディングツール

20, デバイスホール

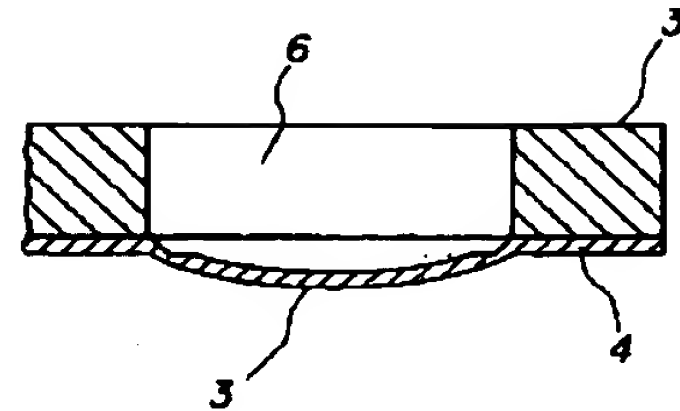
【図1】



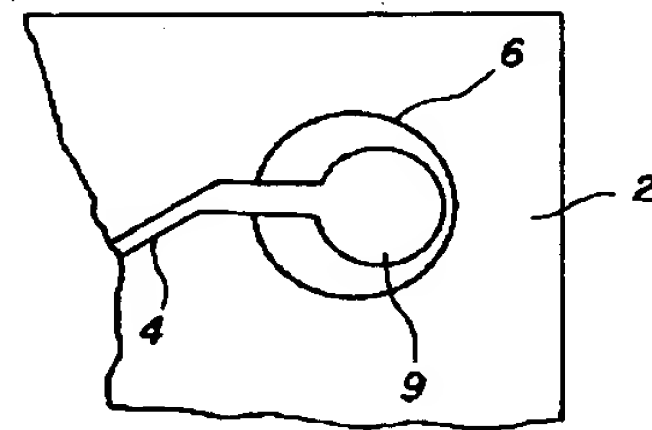
【図2】



【図3】

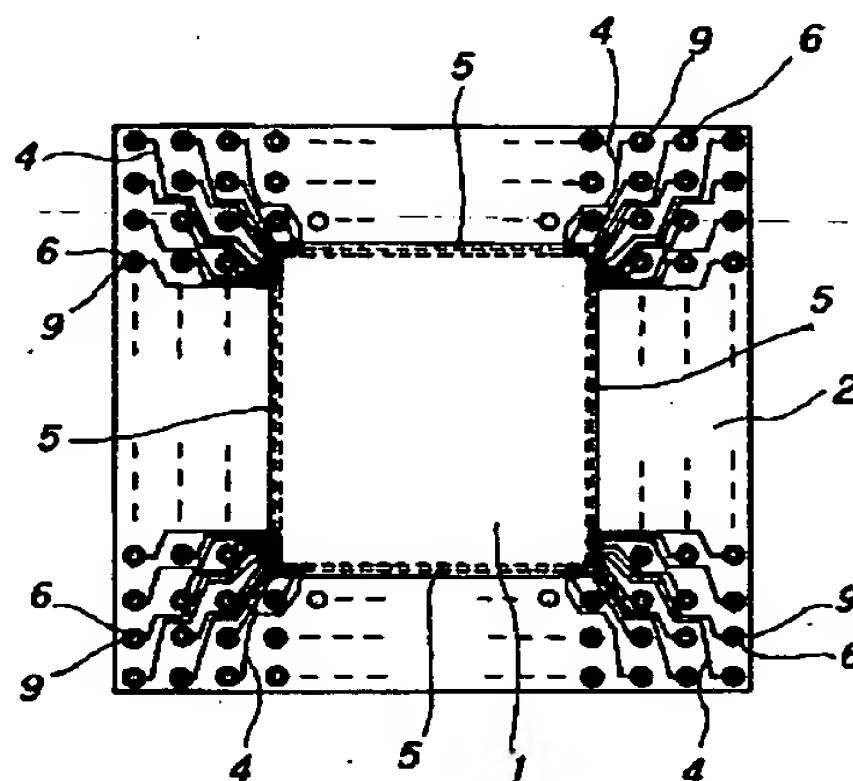
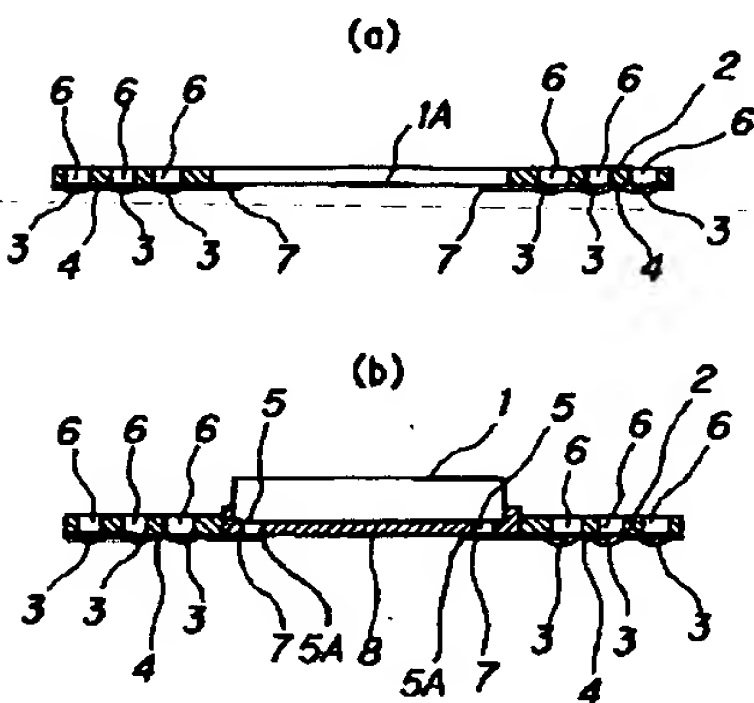


【図6】

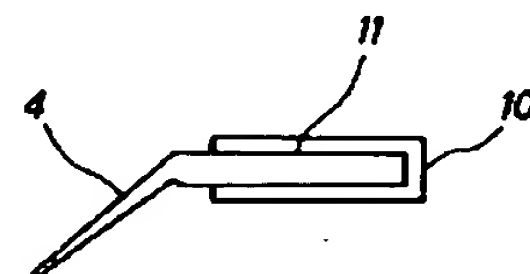


【図4】

【図5】



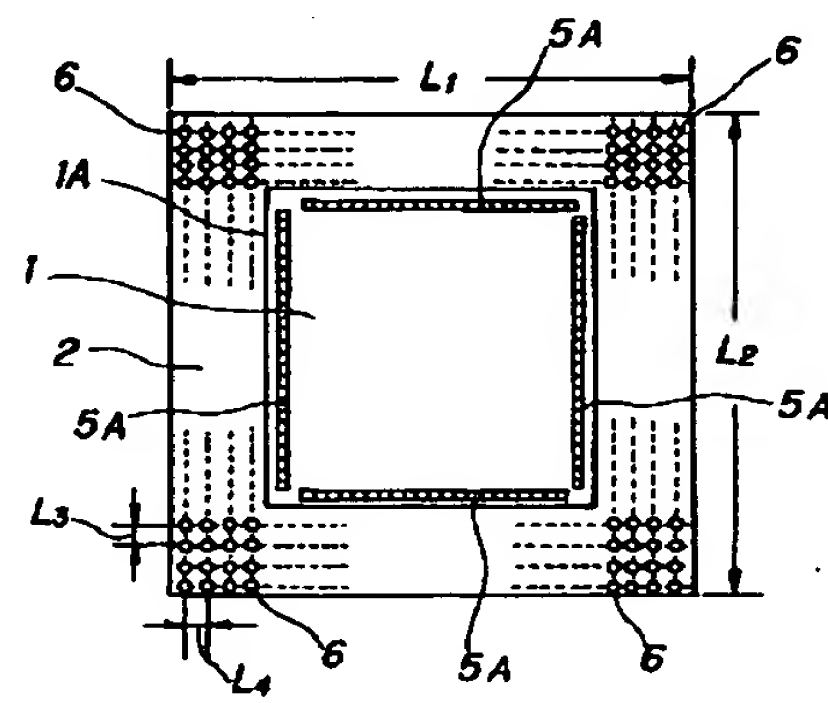
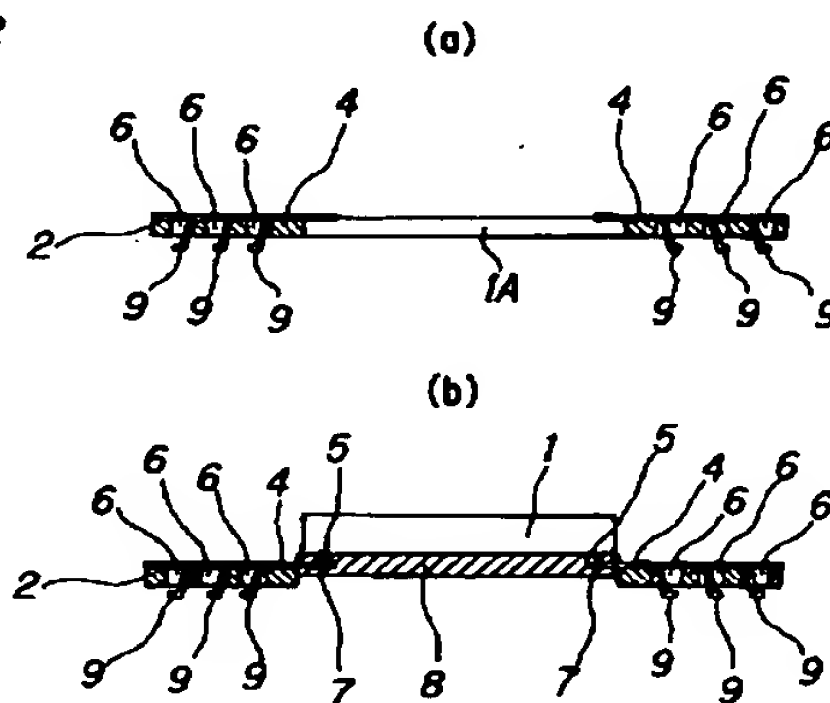
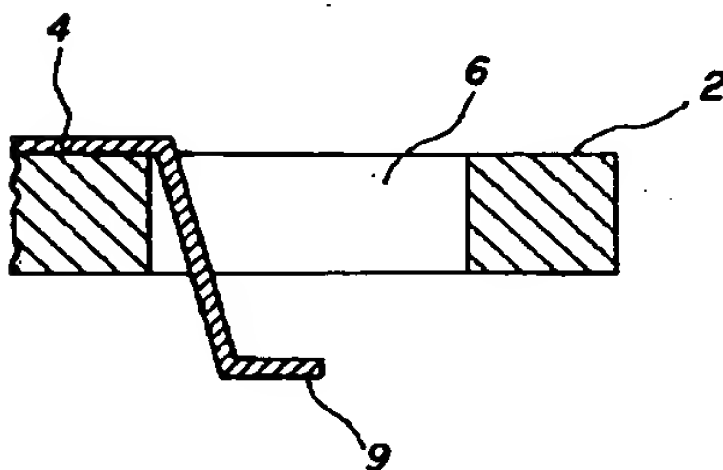
【図13】



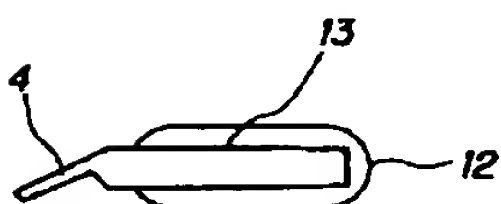
【図7】

【図8】

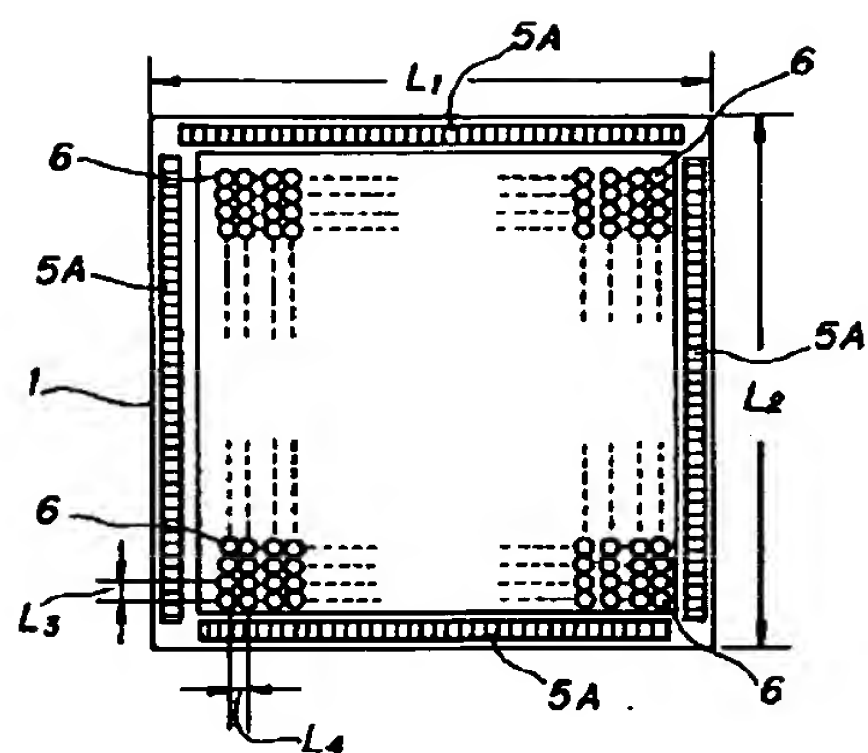
【図9】



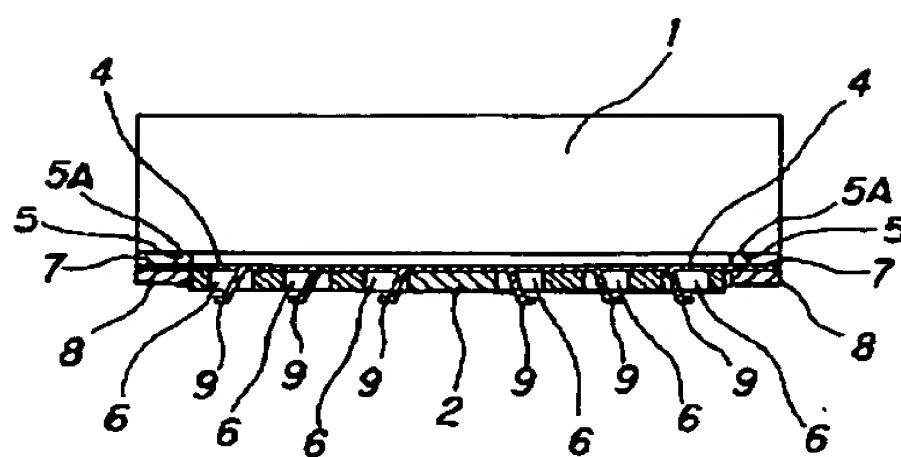
【図14】



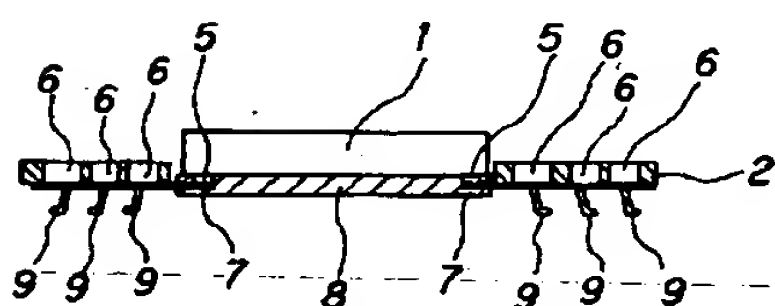
【図10】



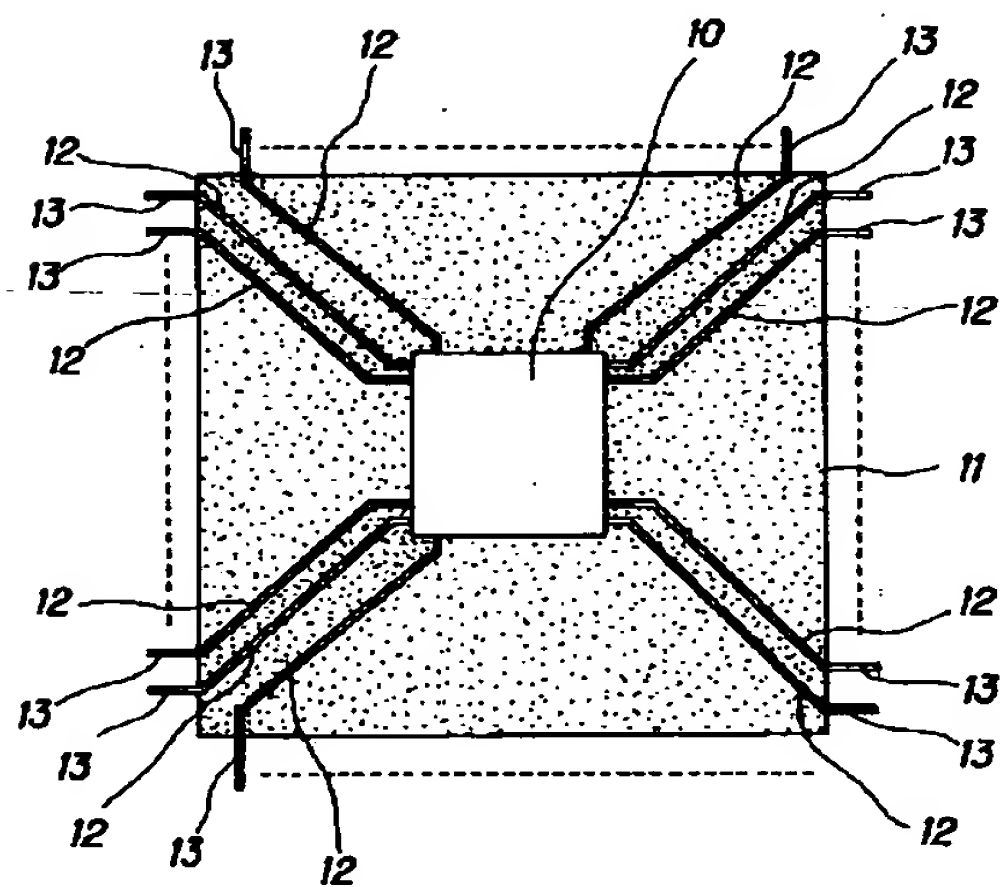
【図11】



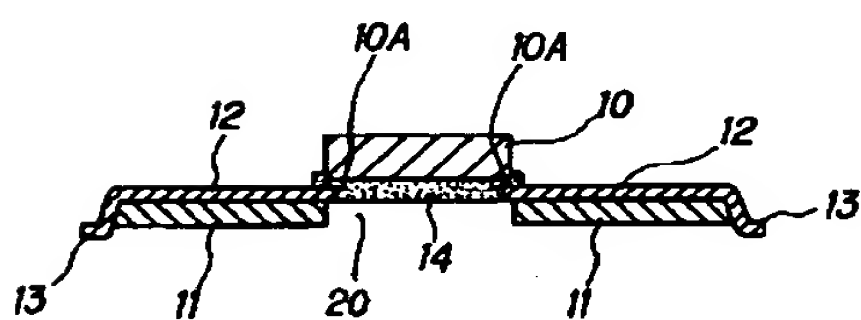
【図12】



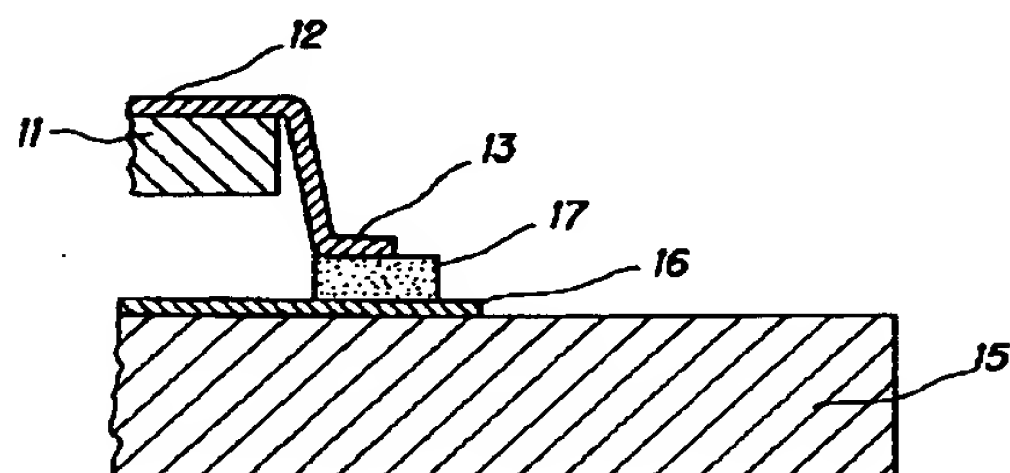
【図15】



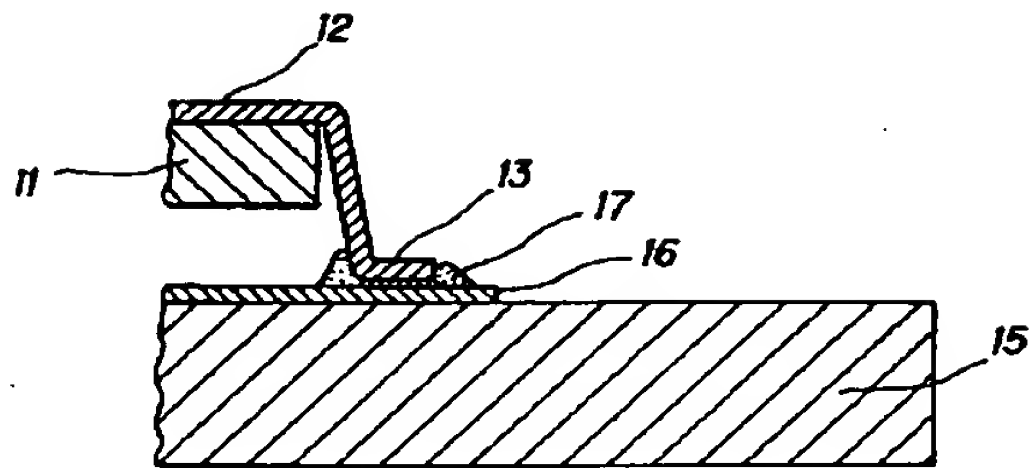
【図16】



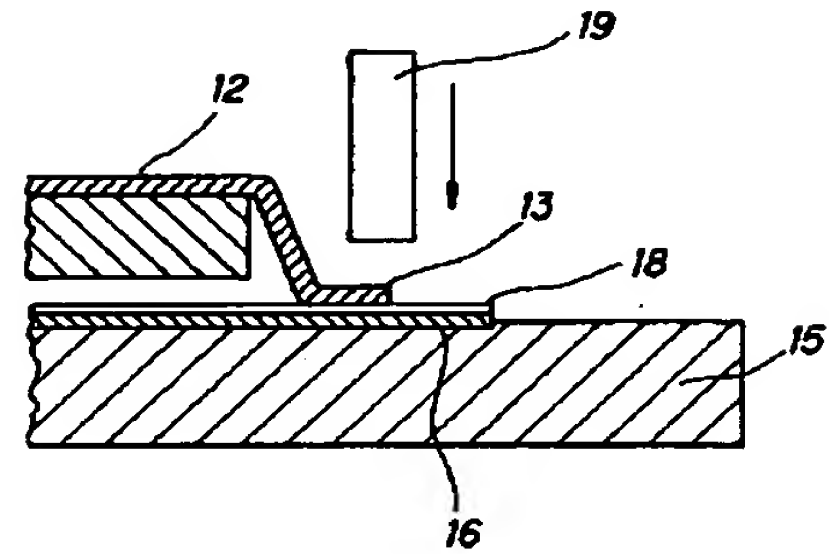
【図17】



【図18】



【図19】



フロントページの続き

(72)発明者 岡部 則夫  
茨城県土浦市木田余町3550番地 日立電線  
株式会社システムマテリアル研究所内

(72)発明者 新沢 正治  
茨城県土浦市木田余町3550番地 日立電線  
株式会社アドバンスリサーチセンタ内